

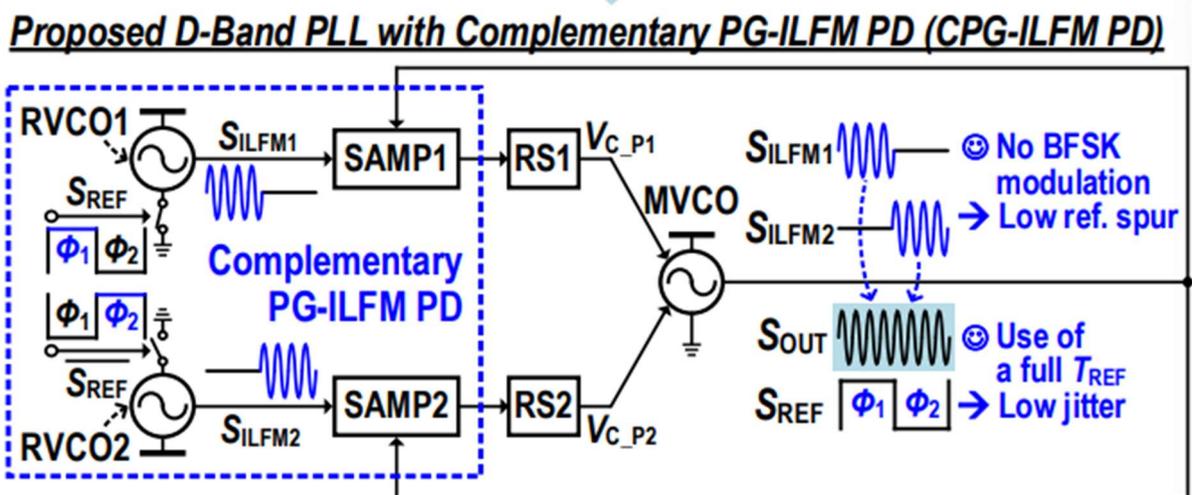
A-SSCC 2024 Review

단국대학교 파운드리공학부 석사과정 조혁준

Session 13 Low-Jitter PLLs and Low-Phase-Noise Oscillators

Session 13에서는 Low-Jitter PLL과 Low-Phase-Noise Oscillator를 주제로 한 총 4편의 논문이 발표되었다. 이 중, 특히 Low-Jitter를 강조한 PLL과 관련된 두 편의 논문을 살펴보고자 한다. 하나는 W 및 D 대역의 Sub-THz 주파수를 다룬 논문이며, 다른 하나는 십여 GHz 범위에서 동작하는 Low-Jitter PLL 설계에 관한 연구이다.

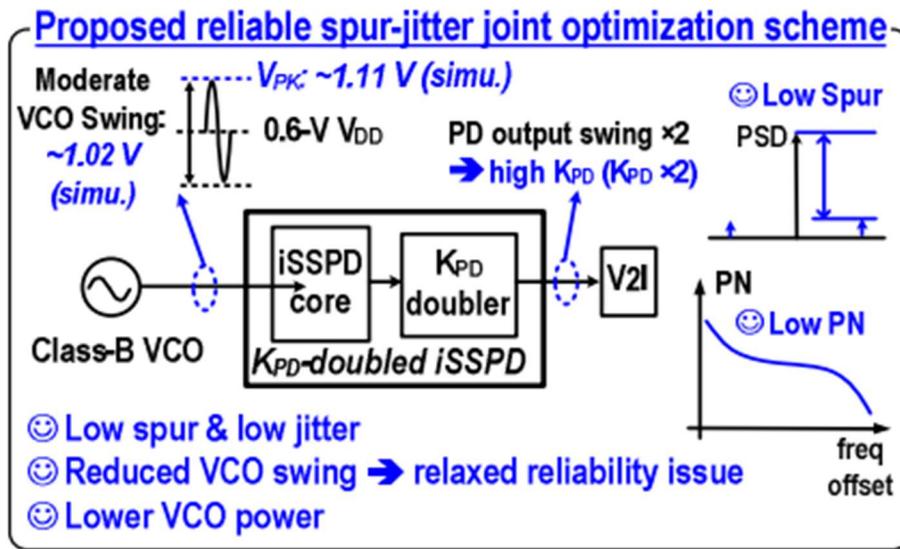
#13-1 본 논문은 서울대학교, KAIST에서 발표한 논문으로, 두개의 상보적으로 작동하는 RVCO를 활용하여 BFSK Modulation과 Reference Spur를 억제하고, 낮은 Jitter 및 높은 KPD를 달성하는 PLL 구조를 제안한다. 서로 반대 위상의 Reference Clock을 통해 RVCO를 위상 정렬하며 RVCO의 Phase Noise를 제거합니다. 또한 두개의 RVCO를 상보적으로 동작 시켜 TREF 전체에서 Phase Error를 감지하며 이를 통해 KPD를 향상시켰다. 추가적으로, Frequency-offset canceller와 Reference Clock의 Duty Cycle Corrector 같은 회로를 포함하여 성능을 더욱 개선하였다. 그 결과 119.5GHz 출력 신호에서 65.6fs의 RMS Jitter, -52dBc의 Reference Spur를 달성하였다.



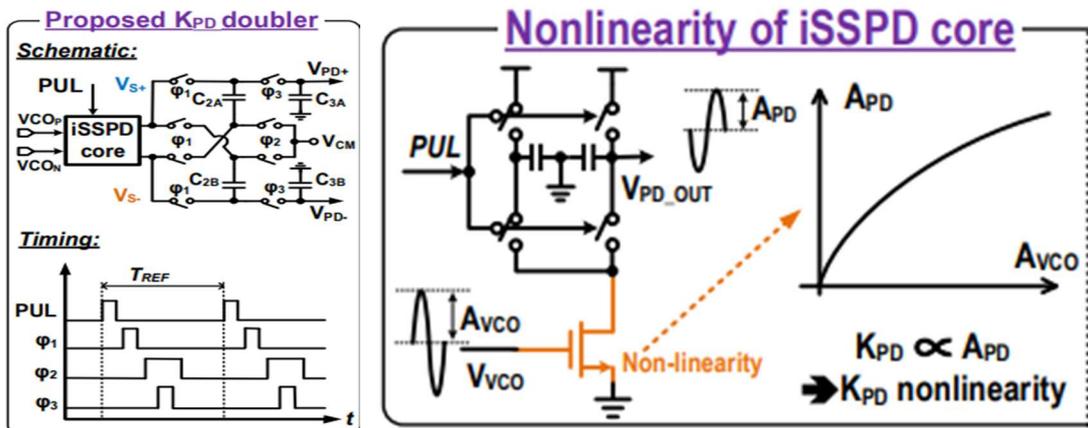
[그림 1] #13-1 논문에서 제안하는 Complementary PG-ILFM PD 구조.

#13-2 본 논문은 중국 과학원 반도체 연구소에서 발표한 논문으로, 낮은 Jitter와 Spur를 동시에 달성하기 위해 적절한 VCO Swing과 KPD doubler를 사용하는 SS-PLL을 제안한다.

제안된 구조는 기존 방식이 높은 VCO Swing을 요구했던 것과 달리, KPD doubler를 사용하여 ISSPD Core의 출력 Swing을 두 배로 증폭함으로써 높은 KPD를 확보하면서도 낮은 VCO 전력으로 동작할 수 있도록 설계되었다. KPD Doubler는 커패시터와 스위치를 활용한 Passive 방식으로 설계되어 Phase Noise와 Jitter 성능에 부정적인 영향을 미치지 않는다. 동시에 낮아진 VCO Swing 덕분에 ISSPD Core에서 MOSFET 크기를 줄여 VCO로 전달되는 간섭을 최소화하고, Spur 성능을 개선하였다. 출력 Swing 감소로 인한 KPD 저하는 KPD doubler를 통해 보상하여 비선형성을 억제하고 신호 품질을 유지한다. 이 결과, 제안된 PLL은 -100.63 dBc의 Spur, 32.1 fs의 Integrated jitter (1 kHz to 100 MHz), 그리고 -261.4 dB의 FOM(성능 지수)를 달성하였다.



[그림 2] #13-2 논문에서 제안하는 SS-PLL 구조



[그림 3] #13-2 논문에서 제안하는 K_{PD} doubler 와 ISSPD MOSFET의 Nonlinearity 특성

저자정보



조혁준 석사과정 대학원생

- 소속 : 단국대학교 파운드리공학부
- 연구분야 : Biomedical Circuits
- 이메일 : sdi5236@dankook.ac.kr
- 홈페이지 : <https://sites.google.com/dankook.ac.kr/acs-lab>